

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270483

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

H01L 21/60

H01L 21/60

(21)Application number : 09-089959

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.03.1997

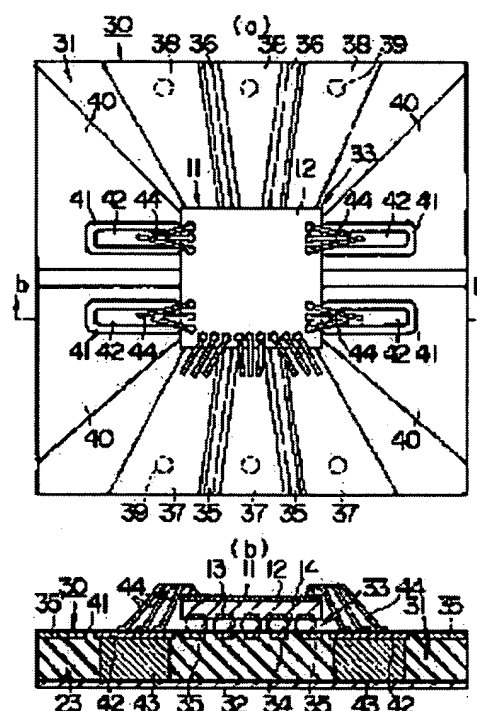
(72)Inventor : SUWA MOTOHIRO  
KAMATA CHIYOSHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To enhance the isolation characteristic between input and output of a high frequency region.

SOLUTION: A pellet 11 having a high frequency amplifier built therein is connected at its active area side to electrode pumps 14 on an upper surface of a wiring board 30 of a monolithic microwave integrated circuit(MMIC) 10. Input signal lines 35 and output signal lines 36 are laid on front and rear side of the upper surface of the wiring board 30. Power conductors 40 are laid on left and right sides of the upper surface of the board 30. An entire conductor 12 coating an upper surface of the pellet 11 is bonded to wires 44 which in turn are connected to an input side coplanar wiring lines 37 laid in input signal line lying regions (front and rear) of the board 30 and to grounding conductors 42, 42 laid within insulation parts 41 in both power conductor lying regions (left and right) of the board 30. Thereby, no peak appears in the isolation characteristic between input and output and thus a good characteristics can be obtained.



## LEGAL STATUS

[Date of request for examination]

05.06.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's  
decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3494550

[Date of registration]

21.11.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270483

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/60

識別記号

3 0 1

3 1 1

F I

H 0 1 L 21/60

3 0 1 A

3 1 1 Q

審査請求 未請求 請求項の数7 F D (全 9 頁)

(21) 出願番号 特願平9-89959

(22) 出願日 平成9年(1997)3月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 諏訪 元大

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 鎌田 千代士

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 梶原 辰也

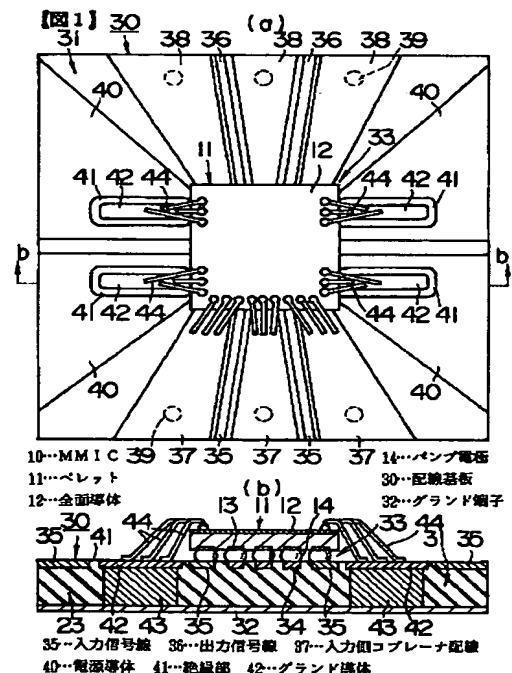
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高周波数領域の入出力間アイソレーション特性を高める。

【解決手段】 MMIC 10の配線基板30の上面には高周波用増幅器を作り込まれたペレット11がアクティブエリア側を電極パンプ14で接続されており、配線基板30の上面の前後の領域には入力信号線35と出力信号線36とが敷設され、配線基板30の上面の左右領域に電源導体40が敷設されている。ペレット11の上面に被着された全面導体12は、配線基板30の入力信号線敷設領域(前後領域)に敷設された入力側コプレーナ配線37と、配線基板30の両電源導体敷設領域(左右領域)の絶縁部41内に敷設された左右のグランド導体42、42との三方にてワイヤ44をボンディングされている。

【効果】 入出力間アイソレーション特性にピークが発生せず、特性が良好である。



1

## 【特許請求の範囲】

【請求項 1】 配線基板の一主面に半導体ペレットがアクティブエリア側を配線基板側に向けられて機械的かつ電気的に接続されており、前記配線基板の一主面における前記半導体ペレットの一方の対辺の両側領域に入力信号線と出力信号線とがそれぞれ敷設されているとともに、前記配線基板の一主面における前記半導体ペレットの他方の対辺の両側領域に電源導体がそれぞれ敷設されている半導体装置であって、

前記半導体ペレットのアクティブエリアと反対側の主面に全面導体が全体的に被着されており、この全面導体が前記配線基板における入力信号線敷設領域に敷設されたグラウンド導体と、前記配線基板における両電源導体敷設領域のそれぞれに敷設された各グラウンド導体とにおいて電気的に接続されていることを特徴とする半導体装置。

【請求項 2】 前記入力信号線敷設領域に敷設されたグラウンド導体が、前記入力信号線の脇に敷設された入力側コプレーナ配線であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記電源導体敷設領域に敷設されたグラウンド導体が、前記電源導体の内部に形成された絶縁部に敷設されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記絶縁部のグラウンド導体が、前記半導体ペレットの前記電源導体に対向する辺と直交する方向に長くなるように敷設されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記全面導体が、前記配線基板における出力信号線敷設領域に敷設されたグラウンド導体においても電気的に接続されていることを特徴とする請求項 1、2、3 または 4 に記載の半導体装置。

【請求項 6】 前記出力信号線敷設領域に敷設されたグラウンド導体が、前記出力信号線の脇に敷設された出力側コプレーナ配線であることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記全面導体が各グラウンド導体に複数本のワイヤによって電気的に接続されていることを特徴とする請求項 1、2、3、4、5 または 6 に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置、特に、ノイズ対策技術に関し、例えば、マイクロ波帯域の高周波数領域で使用される半導体集積回路装置（以下、IC という。）に利用して有効な技術に関する。

## 【0002】

【従来の技術】最近、携帯電話、自動車電話等の移動体無線機器が広く普及して来ており、これら移動体無線機器には高性能の MMIC (Monolithic Microwave Integrated Circui

2

t) が組み込まれている。この種の移動体無線機器は約 10 GHz 前後のマイクロ波帯域の高周波数領域で動作するため、これに使用される MMIC においては低ノイズであること等の理由により GaAs 半導体ペレット

（以下、GaAs ペレットという。）が使用されている。また、十分な高周波特性を得るために、GaAs ペレットは配線基板にフリップ・チップ接続されている。

【0003】ところで、特開平 7-14882 号公報には次のような半導体チップ搭載構造体が提案されている。

すなわち、半導体チップ搭載構造体は半導体チップ（以下、半導体ペレットという。）とプリント配線板（以下、配線基板という。）とを備えており、配線基板に半導体ペレットがアクティブエリア側を配線基板側に向けられて機械的かつ電気的に接続されており、前記半導体ペレットのアクティブエリアと反対側の主面に全面導体が全体的に被着されているとともに、この全面導体が前記配線基板に形成されたグラウンド導体に電気的に接続されている。

【0004】この半導体チップ搭載構造体によれば、例えば、電磁波のような外部到来形のノイズに対する抵抗性を高めることができ、外部からのノイズに基づく装置全体の誤動作の生起が確実に防止することができるとともに、装置の設計の自由度を改善することができる。

## 【0005】

【発明が解決しようとする課題】しかしながら、前記した半導体チップ搭載構造を約 10 GHz 前後の高周波数領域の MMIC として適用した場合においては、約 10 GHz 前後における入出力間アイソレーション特性が低下するという問題点があることが、本発明者によって明らかにされた。

【0006】本発明の目的は、高周波数領域における入出力間アイソレーション特性を高めることができる半導体装置を提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、次の通りである。

【0009】すなわち、配線基板の一主面に半導体ペレットがアクティブエリア側を配線基板側に向けられて機械的かつ電気的に接続されており、前記配線基板の一主面における前記半導体ペレットの一方の対辺の両側領域に入力信号線と出力信号線とがそれぞれ敷設されているとともに、前記配線基板の一主面における前記半導体ペレットの他方の対辺の両側領域に電源導体がそれぞれ敷設されている半導体装置であって、前記半導体ペレットのアクティブエリアと反対側の主面に全面導体が全体的に被着されており、この全面導体が前記配線基板にお

10

20

30

40

50

3

る入力信号線敷設領域に敷設されたグランド導体と、前記配線基板における両電源導体敷設領域のそれぞれに敷設された各グランド導体とにおいて電氣的に接続されていることを特徴とする。

【0010】ここで、約10GHz前後の高周波数領域における入出力間アイソレーション特性はペレットの全面導体を配線基板のグランド導体に接続する位置に強く依存することが、本発明者の実験によって究明された。そして、半導体ペレットのアクティブエリアと反対側の主面に全体的に被着された全面導体が、配線基板における入力信号線敷設領域に敷設されたグランド導体と、前記配線基板における両電源導体敷設領域のそれぞれに敷設された各グランド導体との3方向において電氣的に接続されていると、入出力間アイソレーション特性が最も良好になることが実験によって実証された。

【0011】

【発明の実施の形態】図1は本発明の一実施形態であるMMICの主要部を示しており、(a)は平面図、

(b)は(a)のb-b線に沿う断面図である。図2

(a)は全体を示す正面断面図であり、図2(b)は効果を示す線図である。

【0012】本実施形態において、本発明に係る半導体装置は、MMIC(以下、ICという。)10として構成されている。IC10は機能的には移動体無線機器に使用される約10GHzの高周波数領域用の増幅器として構成されており、構造的には気密封止パッケージ(以下、パッケージという。)に構成されている。すなわち、IC10はアクティブエリアに高周波数領域用の増幅器(図示せず)が作り込まれた半導体ペレット(以下、ペレットという。)11と、このペレット11を封止したパッケージ20とを備えている。

【0013】ペレット11はGaAs半導体基板(ウエハ)が使用されて、略正方形の小さい平板形状に形成されている。ペレット11における増幅器が作り込まれたアクティブエリアと反対側の主面である上面には、全面導体12が全体的に被着されている。全面導体12はタングステンやニッケル、金、銅およびクロム等の導電性材料を蒸着法やめっき法等により形成されており、その表面には後述するワイヤボンディングを可能にするための表面処理が適宜に実施されている。ペレット11におけるアクティブエリア側の主面の周辺部には電極パッド13が複数個、環状に配置されて形成されている。各電極パッド13は後記する各ボンディングパッドとの間に各パンプ電極14をそれぞれ形成されることにより機械的かつ電氣的に接続されるようになっている。

【0014】パッケージ20は複数本のアウトリード

(外部リード)21と封止体22とを備えており、封止体22は配線基板の本体であるベース23とキャップ24とによって構築されている。配線基板の本体であるベース23はアルミナやムライトおよび窒化アルミニウム

4

等の絶縁性を有するセラミック材料が使用されて略正方形の平盤形状に形成されている。キャップ24は側壁部材25と天井部材26とを備えており、側壁部材25はベース23と同一の材料を使用されて外径がベース23よりも若干大きめの略正方形の枠形状に形成されており、ベース23の上に同心的に配されて一体的に焼成されている。キャップ24の天井部材26は金めっき被膜を被着された42アロイ等の金属板によって側壁部材25の外径と略等しい略正方形の板形状に形成されており、ペレット11がベース23の上に実装された後に側壁部材25の上面に被せられて、ろう材層(図示せず)によって固着されるようになっている。

【0015】側壁部材25のベース23との合わせ面である下面にはアウトリード21が複数本、四辺において互いに間隔を置かれて各辺に直交するように配されて固着されている。アウトリード21は42アロイやコパル等の導電性材料を使用されて矩形の板形状に形成されている。

【0016】封止体22のベース23は配線基板30の本体31を実質的に構築している。すなわち、ベース23によって構築された配線基板30の本体(以下、本体という。)31の下面(上下および前後左右は図1を基準とする。)には、電源導体の一方であるグランド導体を構成するグランド端子32が、タングステンやニッケル、金、銅およびクロム等の導電性材料を蒸着法やめっき法等により略全面にわたって被着されて形成されている。グランド端子32はこのIC10が実装される実装ボード(図示せず)におけるランド等に接合されて、安定したグランド電位を維持するように設定されている。

【0017】本体31のグランド端子32と反対側の主面である上面の中央部には、ペレット11を実装するための実装部33が、ペレット11の外形に対応する略正方形形状に設定されており、実装部33の周辺部にはパンプ電極14を機械的かつ電氣的に接続するためのボンディングパッド34が複数個、互いに間隔を置いた状態で環状に配置されて形成されている。

【0018】本体31の上面における前半側の中央部にはペレット11に入力信号を送信するための入力信号線35が2本、左右対称形の放射状にそれぞれ配線されており、本体31の上面における後半側の中央部にはペレット11から出力信号を取り出すための出力信号線36が2本、左右対称形の放射状にそれぞれ配線されている。かつまた、両入力信号線35、35と両出力信号線36、36とは互いに前後対称形になるようにそれぞれ配線されている。入力信号線35および出力信号線36はいずれも、通常のICの取り扱う周波数に比べて高周波数領域であるマイクロ波帯域の信号を伝送するものとして構成されている。入力信号線35および出力信号線36の各内側端部には各ボンディングパッド34がそれぞれ一体的に形成されており、入力信号線35および

5

出力信号線 36 の各外側端部には各アウトリード 21 がそれぞれ電氣的に接続されている。

【0019】両入力信号線 35、35 の両脇には入力側コプレーナ配線 37 が複数本、それぞれ放射状に配線されており、両出力信号線 36、36 の両脇には出力側コプレーナ配線 38 が複数本、それぞれ放射状に配線されている。入力側コプレーナ配線 37 および出力側コプレーナ配線 38 はいずれも、スルーホール導体 39 によってグランド端子 32 に電氣的に接続されている。

【0020】本体 31 の上面における左側部分および右側部分には電源導体の他方である駆動電源導体（以下、電源導体という。）40 が複数本宛（図示例では 2 本宛）、左右対称形の放射状にそれぞれ配線されている。各電源導体 40 の内側端部には各ボンディングパッド 34 がそれぞれ一体的に形成されており、各電源導体 40 の外側端部には各アウトリード 21 がそれぞれ電氣的に接続されている。ちなみに、各電源導体 40 において各アウトリード 21 は複数本宛が配置されている。

【0021】各電源導体 40 における実装部 33 の近傍には、長方形に形成された絶縁部 41 が半径方向である左右方向に長く延在するようにそれぞれ開設されており、各絶縁部 41 の内部には小さめに相似するグランド導体 42 がそれぞれ相似形に配線されている。各グランド導体 42 はグランド端子 32 に本体 31 の内部に形成されたスルーホール導体 43 によってそれぞれ電氣的に接続されている。

【0022】ちなみに、ボンディングパッド 34、入力信号線 35、出力信号線 36、入力側コプレーナ配線 37、出力側コプレーナ配線 38、電源導体 40 およびグランド導体 42 は、銅やタングステン等の導電性材料がスクリーン印刷法やめっき法および蒸着法等の被着手段によって被着かつパターンニングされて形成されている。ボンディングパッド 34 の表面には後記するバンプ電極の結合等の必要に応じるために、めっき処理等の表面処理が適宜に実施されている。

【0023】ペレット 11 は本体 31 の実装部 33 にアクティブエリア側を下向き（所謂フェイス・ダウン）に配置された状態で対向されて、アクティブエリア側の主面における周辺部に環状に配置された各電極パッド 13 と各ボンディングパッド 34 との間に各バンプ電極 14 をそれぞれ形成されることにより機械的かつ電氣的に接続されている。各バンプ電極 14 は各電極パッド 13 と各ボンディングパッド 34 とを電氣的に接続した状態になるため、ペレット 11 の増幅器は各電源導体 40、入力信号線 35 および出力信号線 36 にそれぞれ電氣的に接続された状態になっている。したがって、ペレット 11 の増幅器は電源導体 40、入力信号線 35 および出力信号線 36 を介して各アウトリード 21 にそれぞれ電氣的に引き出されるようになっている。

【0024】本実施形態において、左右のグランド導体

6

42、42 とペレット 11 の全面導体 12 との間にはワイヤ 44 が複数本宛（図示例では 3 本宛）、それぞれワイヤボンディングによって橋絡されている。各グランド導体 42 において複数本のワイヤ 44 のボンディング部群は、左右方向に細長く形成されたグランド導体 42 の長手方向に一列に整列されている。また、3 本の入力側コプレーナ配線 37 とペレット 11 の全面導体 12 との間にもワイヤ 44 が複数本宛（図示例では 3 本宛）、それぞれワイヤボンディングによって橋絡されている。各入力側コプレーナ配線 37 において複数本のワイヤ 44 のボンディング部群は、ペレット 11 の可及的に最寄りの位置に配置されて径方向と平行方向である左右方向に一列に整列されている。

【0025】ペレット 11 の全面導体 12 はワイヤ 44 群、グランド導体 42 群およびスルーホール導体 43 群によってグランド端子 32 と電氣的に接続した状態になるため、ペレット 11 の増幅器はグランド端子 32 によってグランドされた状態になっている。したがって、ペレット 11 の増幅器は電源導体 40、入力信号線 35 および出力信号線 36 を介して接続された各アウトリード 21 と、グランド端子 32 との間に電氣的に介設された状態になっている。

【0026】次に作用を説明する。アウトリード 21 によって入力信号線 35 に入力された信号は、ボンディングパッド 34 からペレット 11 にバンプ電極 14 および電極パッド 13 を通じて入力される。この際、例えば、配線基板 30 の左側部分に配設された入力のための電源導体 40 およびグランド導体 42 によって電力がペレット 11 の入力処理用領域に安定的かつ専用的に供給される。

【0027】入力信号に対応するペレット 11 からの出力信号は出力信号線 36 に、電極パッド 13 からバンプ電極 14 およびボンディングパッド 34 を通じて出力され、出力信号線 36 によってアウトリード 21 に伝送される。この際、配線基板 30 の右側部分に配設された出力のための電源導体 40 およびグランド導体 42 によって電力がペレット 11 の出力処理用領域に安定的かつ専用的に供給される。

【0028】ところで、高周波数領域用の増幅器においては、入出力間アイソレーション特性にノイズ（ピーク）が発生する。図 2（b）は本実施形態に係る IC10 における入出力間アイソレーション特性を示す線図である。図 2（b）によれば、本実施形態に係る IC10 においては、10～12GHz に特性上支障の無い緩やかなピークが発生するもののそれ以外にはピークが発生しないことが理解される。

【0029】図 3～図 6 は本実施形態に係る IC10 の効果を明らかにするための比較例であり、各線図は図 2（b）の線図と同一の条件下において実験によって求めた特性である。

7

【0030】図3は入力側コプレーナ配線37および出力側コプレーナ配線38とペレット11の全面導体12との間にワイヤ44が橋絡された場合を示しており、この場合には、8GHz付近および11GHz付近に特性上支障になる鋭いピークが見られる。

【0031】図4は入力側コプレーナ配線37とペレット11の全面導体12との間にワイヤ44が橋絡された場合を示しており、この場合には、8GHz付近にピークが見られないものの11GHz付近に特性上支障になる鋭いピークが見られる。

【0032】図5は左右のグランド導体42、42とペレット11の全面導体12との間にワイヤ44が橋絡された場合を示しており、この場合には、8GHz付近にピークが見られないものの11GHz付近に特性上支障になる鋭いピークが見られる。

【0033】図6は左右のグランド導体42、42および出力側コプレーナ配線38とペレット11の全面導体12との間にワイヤ44が橋絡された場合を示しており、この場合には、8GHz付近にピークが見られないものの11GHz付近に特性上支障になる鋭いピークが見られる。

【0034】前記実施形態によれば次の効果が得られる。

(1) 入力側コプレーナ配線37および左右のグランド導体42、42とペレット11の全面導体12との間にワイヤ44を橋絡することにより、入出力間アイソレーション特性のピークの発生を防止することができるため、マイクロ波帯域の高周波数領域における入出力間アイソレーション特性を高めることができる。

【0035】(2) 左右の電源導体40、40の内部に左右のグランド導体42、42を配設することにより、全面導体12との間に橋絡するワイヤ44の長さを短くすることができるため、寄生インダクタンスの増加を抑制することができる。

【0036】(3) 隣合う入力信号線35、35および隣合う出力信号線36、36の各両脇に入力側コプレーナ配線37および出力側コプレーナ配線38をそれぞれ敷設することにより、隣合う高周波伝送線である入力信号線35、35および出力信号線36、36間の電磁的結合によって生じるクロストーク・ノイズを抑止ないし抑制することができるため、IC10の伝送特性を高めることができる。

【0037】図7(a)は本発明の実施形態2であるMICの主要部を示す平面図であり、(b)は効果を示す線図である。図8はその比較例を示しており、(a)は平面図であり、(b)は線図である。

【0038】本実施形態2が前記実施形態1と異なる点は、ペレット11の全面導体12と各出力側コプレーナ配線38との間にもワイヤ44が橋絡されている点にある。本実施形態2においても、図7(b)に示されてい

8

るように、10~12GHzに特性上支障の無い緩やかなピークが発生するもののそれ以外にはピークが発生しないことが理解される。つまり、本実施形態2においても、前記実施形態1と同様の効果が得られる。

【0039】図8は前後方向(ペレット11の辺と平行方向)に長いグランド導体42Aに複数本のワイヤ44が互いに平行に並べられてペレット11の全面導体12との間に橋絡された場合を示しており、この場合には、8GHz付近にピークが見られないものの11GHz付近に特性上支障になる鋭いピークが見られる。したがって、左右の電源導体40、40側にそれぞれ配置するグランド導体は、左右方向に長く敷設することが望ましい。

【0040】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0041】ペレットの全面導体に接続される電源導体側のグランド導体は、電源導体の内部に敷設するに限らず、電源導体の脇に敷設してもよい。

【0042】ペレットの全面導体に接続される入力信号線および出力信号線側のグランド導体は、コプレーナ配線に設定するに限らず、グランド端子に接続されたグランド導体に設定してもよい。

【0043】ペレットの全面導体との接続に使用するワイヤの本数は、3本宛に限られないことは言うまでもない。

【0044】ペレットはGaAs半導体によって構成するに限らず、その他の化合物半導体およびシリコン等の半導体によって構成してもよい。

【0045】パッケージの構造は前記実施形態に限定されないし、気密封止パッケージに限らず、樹脂封止パッケージに構成してもよい。

【0046】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である高周波領域で使用される増幅器に適用した場合について説明したが、それに限定されるものではなく、通信機器や光通信に使用される高周波数信号処理用ICや、スーパーコンピュータ等に使用される超高速処理用のICに適用することができる。

【0047】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、次の通りである。

【0048】半導体ペレットのアクティブエリアと反対側の主面に全体的に被着された全面導体を配線基板における入力信号線敷設領域に敷設されたグランド導体と、配線基板における両電源導体敷設領域のそれぞれに敷設された各グランド導体とにおいて電気的に接続することにより、入出力間アイソレーション特性のピークの発生

10

\*【図7】（a）は本発明の実施形態2であるMMICの主要部を示す平面図、（b）は効果を示す線図である。

【図8】効果を明らかにするための比較例を示しており、(a)は平面図、(b)は線図である。

【符合の説明】

10…MMIC（半導体装置）、11…ベレット（半導体ベレット）、12…全面導体、13…電極パッド、14…バンプ電極、20…気密封止パッケージ、21…アウトリード、22…封止体、23…ベース（配線基板の本体）、24…キャップ、25…側壁部材、26…天井部材、30…配線基板、31…配線基板の本体、32…グランド端子、33…実装部、34…ボンディングパッド、35…入力信号線、36…出力信号線、37…入力側コプレーナ配線、38…出力側コプレーナ配線、39…スルーホール導体、40…駆動電源導体（電源導体）、41…絶縁部、42…グランド導体、43…スルーホール導体、44…ワイヤ。

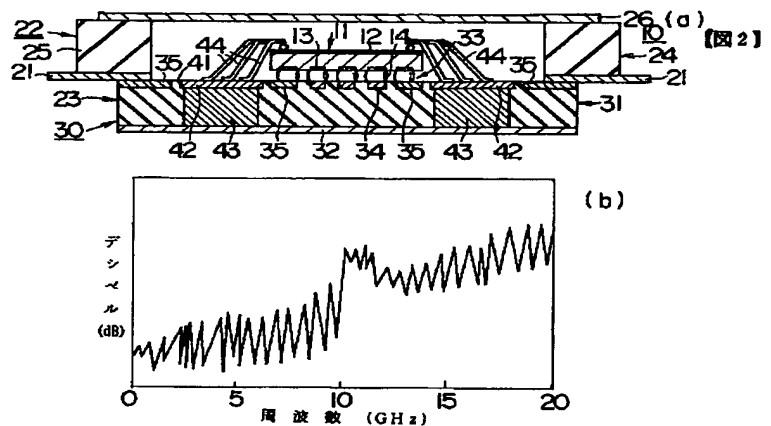
16

16

16

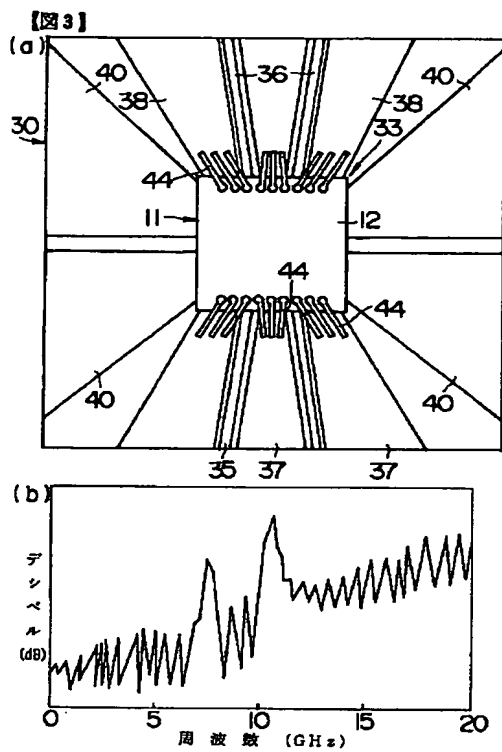
\*

【図 2】

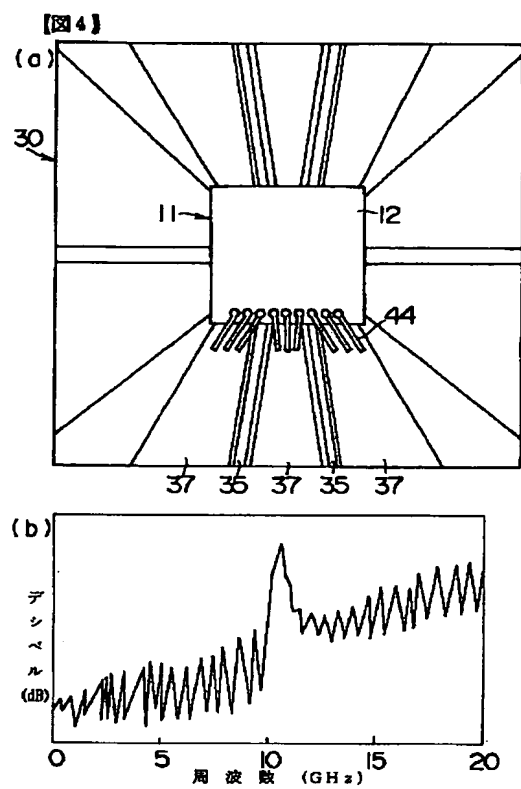




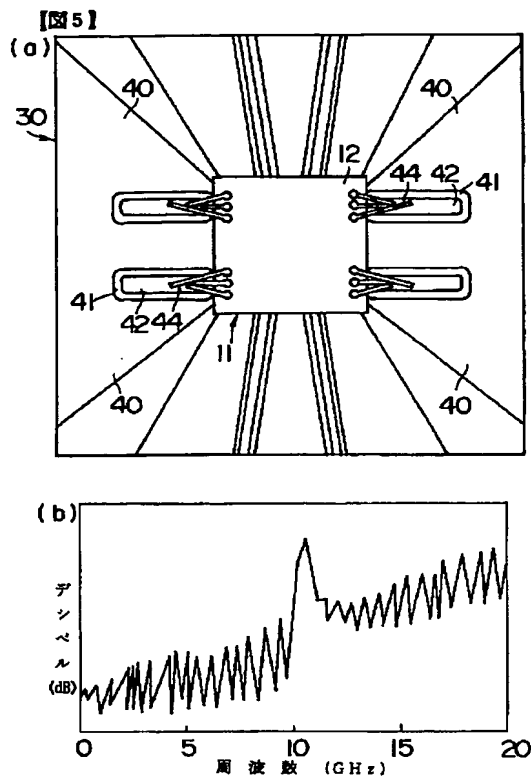
【図3】



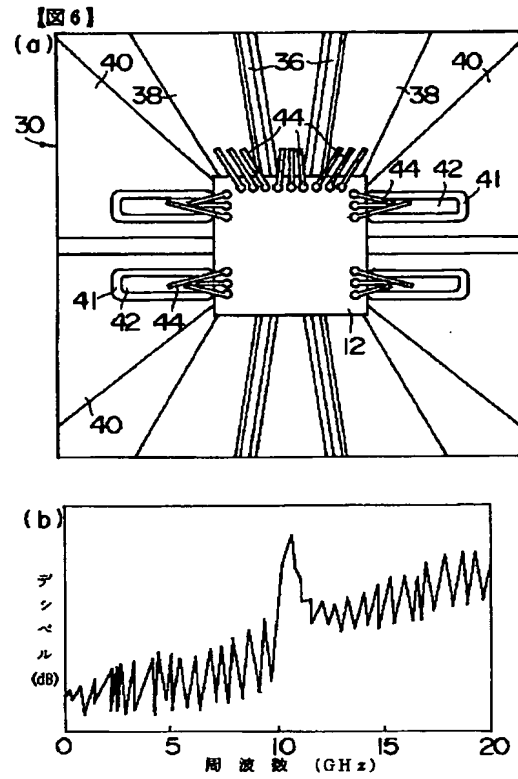
【図4】



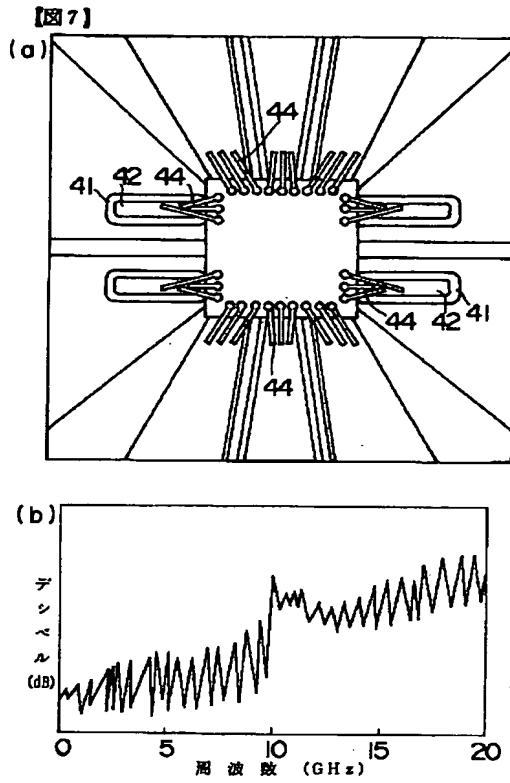
【図5】



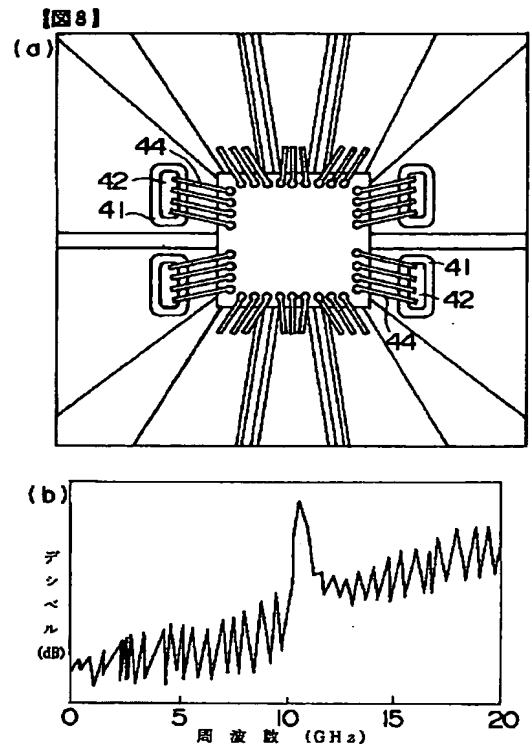
【図6】



【図7】



【図8】



**THIS PAGE BLANK (USPTO)**